

Concise of Statement - Japanese Laid-Open 59-166984

Publication Date: September 20, 1984

1. Title of the Invention:

METHOD FOR FABRICATING MATRIX LIQUID CRYSTAL DISPLAY
DEVICE

2. Claim

1. A method for fabricating a matrix liquid crystal display device, comprising the steps of: forming lead electrodes of gate lines and source lines of a Mos transistor at the periphery of a first substrate in which unit elements including the Mos transistor are arranged in matrix and the gate lines and the source lines (or the drain lines) of the transistor are arranged in grid; aligning liquid crystal over the first substrate; sandwiching the liquid crystal between the first substrate and a second substrate having a transparent conductive film; and shorting the gate lines and the source lines (or the drain lines) at least during the step of aligning the liquid crystal.

2. A method for fabricating a matrix liquid crystal display device according to Claim 1, wherein the gate lines and the source lines (or the drain lines) are shorted by shorting the lead electrodes of the gate lines and the source lines (or the drain lines).

3. A method for fabricating a matrix liquid crystal display device according to Claim 1 or Claim 2, wherein the gate lines and the source lines (or the drain lines) are shorted by a short ring which shorts the gate lines and the source lines (or the drain lines) and is provided over the first substrate.

MANUFACTURE OF MATRIX TYPE LIQUID CRYSTAL DISPLAY

Patent number: JP59166984
Publication date: 1984-09-20
Inventor: SUZUKI ZENZOU; MATSUMOTO TAKAO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: ***G02F1/133; G02F1/136; G02F1/1368; G09F9/30; G09F9/35; G02F1/13; G09F9/30; G09F9/35; (IPC1-7): G02F1/133; G09F9/35***
- european:
Application number: JP19830043332 19830314
Priority number(s): JP19830043332 19830314

Report a data error here

Abstract not available for JP59166984

Data supplied from the **esp@cenet** database - Worldwide

⑫ 公開特許公報 (A)

昭59—166984

⑤ Int. Cl.³
G 09 F 9/35
G 02 F 1/133

識別記号

庁内整理番号
6615—5C
7348—2H

④ 公開 昭和59年(1984)9月20日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ マトリクス型液晶表示装置の製造方法

⑯ 発明者 松本隆夫

尼崎市塚口本町8丁目1番1号
三菱電機株式会社材料研究所内

⑰ 特 願 昭58—43332

⑱ 出 願 昭58(1983)3月14日

⑲ 出 願 人 三菱電機株式会社

⑳ 発 明 者 鈴木善三

東京都千代田区丸の内2丁目2
番3号

尼崎市塚口本町8丁目1番1号
三菱電機株式会社材料研究所内

㉑ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

マトリクス型液晶表示装置の製造方法

2. 特許請求の範囲

(1) Mos 型トランジスタを有する単位素子がマトリクス状に配列され、これらトランジスタのゲート線並びにソース線(あるいはドレイン線)が格子状に配線されている第1基板の外周部に、上記ゲート線並びにソース線(あるいはドレイン線)のリード電極を形成する工程、上記第1基板に液晶配向処理を行う工程、上記第1基板と透明導電膜を有する第2基板とで液晶を挟持する工程、ならびに少なくとも上記液晶配向処理工程中は上記ゲート線並びにソース線(あるいはドレイン線)を短絡接地する工程を施すマトリクス型液晶表示装置の製造方法。

(2) ゲート線並びにソース線(あるいはドレイン線)の短絡接地は、ゲート線並びにソース線(あるいはドレイン線)のリード電極を短絡接地することを特徴とする特許請求の範囲第1項記載の

マトリクス型液晶表示装置の製造方法。

(3) ゲート線並びにソース線(あるいはドレイン線)の短絡接地は第1基板の外周部にゲート線並びにソース線(あるいはドレイン線)を短絡したショートリングを設けて行うことを特徴とする特許請求の範囲第1項または第2項記載のマトリクス型液晶表示装置の製造方法。

3. 発明の詳細な説明

この発明はマトリクス型液晶表示装置の製造方法、とくに液晶配向処理等により生じる静電気からゲート絶縁膜を保護する方法に関するものである。

従来、この種の装置として図に示すものがあつた。第1図はマトリクス型液晶表示装置の一単位素子を示す構成図、第2図はマトリクス型液晶表示装置の部分断面図、第3図はマトリクス型液晶表示装置の一部分を示す構成図、第4図はNチャネル型 Mos トランジスタの断面図である。図において、(1)はゲート線、(2)はソース線、(3)は Mos 型トランジスタよりなる薄膜トランジスタ(以下

TFT と略記する。 - Thin Film Transister -)、
 (4) は表示電極、(5) は蓄積コンデンサ、(6) は液晶、
 (7) は第 1 基板で TFT アレー基板をなす。(8) は透明
 導電膜、(9) は第 2 基板で、TFT アレー基板(7)の対
 向基板をなす。(100) はマトリクス型液晶表示装置
 の一単位素子を示す。(10) はゲート電極、(11) はソー
 ス電極、(12) はドレイン電極、(13) はゲート絶縁膜、
 (14) は基板を示す。

さて、従来の TFT アレーの構成は、複数個のゲ
 ート線(1)及びゲート線(1)に直交する複数個のソー
 ス線(2)を備え、その交点に TFT (3) 及び蓄積コンデ
 ンサ(5)、表示電極(4)等を有しており、第 1 図に示
 した構成を表示部の一単位素子(100)とし、第 3 図
 に示すように、この一単位素子(100)がマトリクス
 状に配列して TFT アレーを構成する。なお、ゲ
 ート線(1)及びソース線(2)のそれぞれの延長線上(表
 示部の外側)にはリード電極部が設けられている。

上記のような構成の TFT アレーを形成した後、
 液晶の配向処理等を実施し、マトリクス型液晶表
 示装置を組立てるが、ここで問題となるのは、上

ない限り製造歩留りは悪かつた。

この発明は上記のような従来のものの欠点を除
 去するためになされたもので、少なくとも液晶配
 向処理工程中はゲート線並びにソース線(あるいは
 ドレイン線)を短絡接地することにより、従来の
 適用しにくかつた生産性のよいラビング法(液晶
 の配向処理)が適用でき、かつその他種々の要因
 で発生し得る静電気からゲート絶縁膜を保護でき、
 従つて低コスト、高信頼性のマトリクス型液晶表
 示装置を提供することを目的としている。

以下、この発明の一実施例を図について説明す
 る。第 5 図はこの発明にかかわるマトリクス型液
 晶表示装置の部分構成図で、図において、(10) は第
 1 基板(7)の外周部に設けられたゲート線(1)ならび
 にソース線(2)のリード電極、(10) はゲート線(1)なら
 びにソース線(2)を短絡したショートリングで、第
 1 基板(7)の外周部に形成されたものである。

なお、第 5 図においては表示部の四隅(四表示
 素子分)のみを示したが、実際には縦及び横方向
 に合計数万素子が存在し、その省略部を点線で

記(つまり、従来のような構成の TFT アレーで
 は、TFT アレー形成後の液晶配向処理に低コスト、
 高信頼性のラビング法が適用できず、コスト高の
 SiO₂の斜め蒸着法等に頼らざるを得なくなるとい
 うことである。理由は、従来の構成の TFT アレー
 では、配向処理を施す TFT アレー基板(7)上の TFT
 (3)は第 4 図に示す構成をしているが、この TFT (3)
 を構成するゲート絶縁膜(13)の静電気に対する確実
 な保護対策が施されていないため、ラビング法等
 の静電気を発生しやすい方法はゲート絶縁膜(13)を
 破壊しやすいからである。また、ラビング法に限
 らず、種々の外部要因から発生し得る静電気に対
 して、ゲート絶縁膜(13)の的確な保護対策が施され
 ておらず、そのためゲート絶縁膜(13)の破壊を起し、
 製造歩留りが従来の極めて悪かつた。

従来の構成の TFT アレーでは、上記のように、
 液晶の配向処理に低コスト、高信頼性のラビング
 法が適用できず、また、ゲート絶縁膜(13)がその他
 種々の要因で発生し得る静電気に対して無防備で
 もあり、的確なゲート絶縁膜(13)の保護対策を施さ

表示している。

このようなショートリング(10)を形成するには、
 まず、ソース線(2)及びソース線(2)のリード電極(10)
 形成時に、従来のソース線(2)を延長し、同時に
 このソース線(2)及びリード電極(10)に接続するショ
 ートリング(10)を第 1 基板(7)の外周部に形成し、そ
 の後、ゲート線(1)及びゲート線(1)のリード電極(10)
 形成時に、やはりゲート線(1)を従来の延長させ
 て、ショートリング(10)と接続させる。このように
 して、ショートリング(10)を形成した後、ショ
 ートリング(10)を電気的に接地して、ラビング法等の液
 晶配向処理を実施し、その後第 1 基板(7)と第 2 基
 板(9)で液晶(6)を挟持してマトリクス型液晶表示装
 置を組立て、その後、ショートリング(10)を切り離
 し、マトリクス型液晶表示装置を完成させる。

なお、ショートリング(10)の形成は、ゲート線(1)
 形成時に行い、ゲート線(1)及びリード線(2)を延長
 してショートリング(10)に短絡させてもよい。

また、ショートリング(10)を形成せず、例えばリ
 ード線付きクリップで、ゲート線(1)及びソース線

(2)のリード電極(4)をはさみ、このクリップを少なくとも液晶配向処理中は短絡接地して、ゲート線(1)及びソース線(2)のリード電極(4)を短絡接地してもよい。

また、この際、接地した導電基板上に第1基板(7)をおいて製造してもよい。

なお、信号導入線がドレインとして機能している時は、ドレイン線とゲート線(1)を短絡さらに接地して配向処理を行なえばよい。

以上のように、この発明によれば、少なくとも液晶配向処理中はゲート線ならびにソース線(あるいはドレイン線)を短絡接地したので、低コスト、高信頼性のラビング法(液晶配向処理)が適用でき、製造歩留りの高いマトリクス型液晶表示装置が得られる効果がある。

4. 図面の簡単な説明

第1図はマトリクス型液晶表示装置の一単位素子を示す構成図、第2図はマトリクス型液晶表示装置の部分断面図、第3図はマトリクス型液晶表示装置の部分構成図、第4図はNチャンネル型Mos

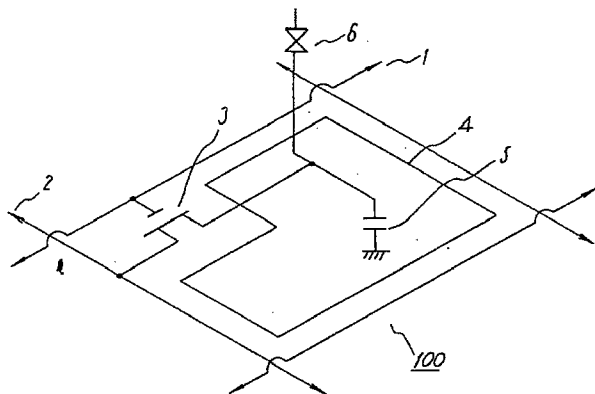
トランジスタの断面図、第5図はこの発明にかかわるマトリクス型液晶表示装置の部分構成図である。

図において、(1)はゲート電極、(2)はソース線(あるいはドレイン線)、(3)はMos型トランジスタ、(6)は液晶、(7)は第1基板、(8)は透明導電膜、(9)は第2基板、(4)はリード電極、(4a)はショートリングを示す。

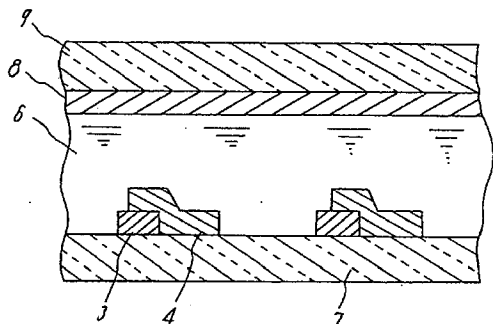
なお、図中、同一符号は同一または相当部分を示す。

代理人 葛野 信一

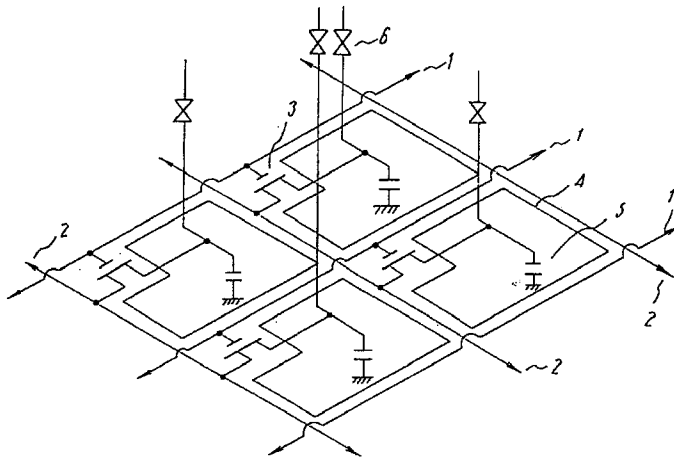
第1図



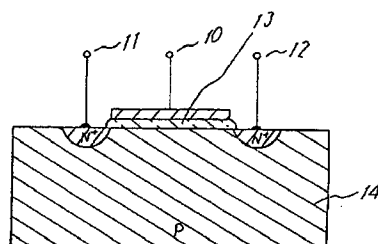
第2図



第3図



第4図



第 5 図

